

CONCISE STATEMENT OF JP51-102466

JP51-102466 was cited by the Japanese Patent Office for showing a feature that a wiring is provided with a protrusion electrode. The followings are description of the drawing reference numerals:

- 1: semiconductor chip
- 2: bump formed on a bonding pad portion (electrode portion) of semiconductor element
- 3, 8: lead line formed on a substrate
- 4: substrate
- 5: bonding portion
- 6: molding material
- 7: bonding portion (electrode portion) of a semiconductor element
- 9: pedestal formed on lead line



(2,000円)

特 許 願 (丁) 後記号なし

昭和50年3月6日



特許庁長官 斎藤英雄殿

①9 日本国特許庁

公開特許公報

1. 発明の名称

バンドワイヤの半導体素子の実装方法

2. 発明者

長野県諏訪市大和3丁目3番5号
株式会社 諏訪精工舎内
小谷 孝一

3. 特許出願人

東京都中央区銀座4丁目3番4号
(236) 株式会社 諏訪精工舎
代表取締役 西村 留雄

4. 代理人

〒150 東京都渋谷区神宮前2丁目6番8号
(4664) 井理士 最上

5. 添附書類の目録

(1) 明 細 書

(2) 図 面

(3) 要 約 書

方 査 査 査



1 通

1 通

1 通

50 027859

明 細 書

発明の名称

半導体素子の実装方法

特許請求の範囲

バンドワイヤを有するチップのフェイスダウンあるいはフェイスアップボンディング工程、およびベDESTAL構造を有するリード線が形成された基板上にチップをフェイスダウンあるいはフェイスアップボンディングする工程において、あらかじめ該チップ上のバンド部あるいはボンディングパッド部(電極部)を除くチップ表面にモールド材による被膜を形成するかまたはボンディング時にバンド部あるいはボンディングパッド部(電極部)と接触するリード線部分以外の基板上にモールド材による被膜を形成し、該ボンディング工程時に同時にモールド材を成形することを特徴とする半導体素子の実装方法。

①特開昭 51-102466

④公開日 昭51. (1976) 9. 9

②特願昭 50-27859

②出願日 昭50. (1975) 3. 6

審査請求 未請求 (全1頁)

庁内整理番号

7216 57

6513 37

6851 57

⑤日本分類

99(5)C1

99(5)C21

99(5)C22

⑤Int. Cl²

H01L 2/28

H01L 23/12

H01L 21/56

発明の詳細な説明

本発明は半導体素子の実装に関するものである。さらには本発明は半導体素子の実装工程において半導体素子のボンディングパッド部(電極)と基板上のリード線とのボンディングの際、同時に半導体素子を外部雰囲気から保護するためのモールド材を成形する実装に関するものである。

半導体素子、その中でも半導体集積回路は近年その発展がめざましく、その傾向は高集積化、小型化にあり、素子そのものの信頼性も非常に高いものが要求されつつある。さらに半導体素子そのものの実装方法に関しても従来のワイヤーボンディング→パッケージング方式にかわって、新しいワイヤーレスボンディング→プラスチックモールド材成形方式が開発され実用化されつつある。そのワイヤーレスボンディング→プラスチックモールド材成形方式の代表的なものはR・Eが開発したリソグラフィ法であろう。これはバンドワイヤを成形した半導体素子をポリイミドフィルム上に形成された銅のフィンガーに連続的にボンディングし、

プラスチックモールドイングするという従来の実装方法では考えられなかった実装工程の自動化が可能となる画期的なものである。しかし、このミニモッド実装方式もポリイミドフィルムの加工およびポリイミドフィルム上の銅箔のエッチングなど、かなり精度が要求される工程があらたに加わると共に半導体集積回路のようなボンディングパッド（電極）数が多いものでは信頼性の点で限界があり、実用的にはまだまだ問題が残る。

一方、ワイヤレスボンディングの一方式であるフリップチップのフェイスダウンボンディングあるいはフェイスアップボンディングおよび半導体素子をボンディングする基板上のリード部にベDESTALを形成し、半導体素子をフェイスダウンボンディングあるいはフェイスアップボンディングする方式は前記ミニモッド方式と比べて工程的にも実装構造的にも非常に簡単であり、最も理想的な実装方式であると考えられる。

本発明はフリップチップのボンディングあるいはベDESTAL形成基板へのチップのボンディング

(3)

なければならず、実装工程の合理化の面で問題が残る。

第3図は本発明によるところのフリップチップの実装工程を説明したものである。第3図(a)中の1は半導体素子であり、2はボンディングパッド部（電極部）に形成されたパンプである。半導体チップ表面のパンプの外周囲にはモールド材6が形成される。この状態でボンディングを行なった結果が第3図(b)である。図中5はボンディング部を示し、モールド材6によって半導体チップの外周囲がモールドされている。第3図(a)中のモールド材6はウェハー状態で印刷すれば簡単に形成できる。モールド材としては印刷可能な有機樹脂（プラスチック）あるいは無機樹脂でもよいし、絶縁性ペーストあるいはガラスペーストおよびテフロン粉末ペースト等、モールド効果があり、印刷可能なものならば何でもよい。例えばガラスペースト、テフロンペースト等は印刷可能であり、比較的低温度で溶融、凝固あるいは軟化凝固するためかなりよいモールド効果を示す。印

(5)

の際、素子を外部雰囲気から保護し、さらに外部ショックから保護するためのモールドイングを同時に行ない、実装組立工程の合理化をはかるために発明された実装方法に関するものであり、以下にその具体的実施例を説明する。

第1図は従来のフリップチップの実装工程を図にて説明したものである。第1図(a)中の1は半導体素子でありボンディングパッド部（電極部）にはパンプ2が形成されている。5は基板4上のリード線である。第1図(b)はボンディングした状態である。5はそのボンディング部である。第1図(c)は半導体素子をモールドイングした状態を示す。6はモールド材である。同様に基板上リード線にベDESTALを形成した場合の実装工程を第2図に示す。第2図(a)中の7はボンディングパッド部（電極部）、8は基板上のリード線、9はベDESTALである。第2図(b)はボンディングの状態であり、第2図(c)はモールドイングしたものである。このような従来の方式ではボンディングとモールドイングを別工程でやら

(4)

刷法にて第3図(a)中のモールド材6を形成する他にも、例えばテフロンの薄いストリップをチップ外周部あるいは基板の所定の位置に接着し、ボンディング時にモールドしてもよい。第3図(c)および(d)は半導体チップ表面を上から見た外観図を示す。前述した如く、チップの外周部にはあらかじめモールド材6を図の如く形成しておく。このモールド材6はパンプの外周部に形成してもよいし、また第4図(a)に示す如くパンプおよびその周辺部を除く半導体チップ全面に形成してもよい。この場合はボンディング、モールドイング後チップが基板に強く接着され、外的ショックに強くなるという特徴がある。第4図(b)には第4図(a)で説明したチップをボンディング、モールドイングしたチップと基板の接着状態を示す。

第3図および第4図において、チップ上に形成したモールド材6の膜厚はパンプの高さよりも少し高めればよい。また、第3図、第4図で説明したボンディングと同時にモールドイングする工程

(6)

の具体的な説明は次のようである。

今、フリップチップの bumps 2 をハンダで形成し、基板上のリード線 3 もハンダでメッキしてあるとするとボンディング時には bumps 2 とリード線 3 を接触後、180℃～300℃のオープンあるいはベルト炉か赤外線を用いてハンダを溶融凝固させる訳であるが、この熱処理工程時に同時にモールド材も凝固あるいは溶融、凝固あるいは軟化、凝固し、チップ外周部あるいは表面全体と基板の隙間を充填することになる。基板上のリード線上にベDESTAL を形成し、チップをフェイスアップあるいはフェイスダウンにてボンディングする場合も上記フリップチップのボンディング、モルディング同時工程と同じに考えることができる。すなわち、フリップチップの場合と同様にチップ表面上にモールド材による被膜を形成し、ボンディング時にモールド材をチップと基板の隙間に充填すればよい。この場合もモールド材の膜厚はベDESTAL の高さよりもやや高い方がよい。

以上、本発明の説明中において、モールド材を

(7)

ボンディングと同時にチップのモルディングをする実装に関するものであると共に、その実装構造に関するものであり、次のような利点を有する。

- (1) 基板上の半導体チップの実装面積が減少し、回路の小型化が可能。
- (2) 半導体チップの実装後の高さが薄くなり、小型化、薄型化可能。
- (3) モールドに用いるモールド材の使用量が少なくなり、低コスト化が可能となるため、モールド材としてかなり純度が高くモールド効果がある材料が使用可能となる。
- (4) 従来のような半導体チップ全体をモールドする方式に比べて、モールド材の使用量が少ないにもかかわらず同程度のモールド効果、パッシベーション効果が望める。
- (5) ボンディング工程とモルディング工程が同時であるために、従来のボンディング工程において bumps あるいは基板上のハンダが半導体素子のサブストラットと接触し、リークするという問題が解決される。

(9)

チップの表面側に形成し、ボンディングする工程について説明したが、モールド材は第5図に示す如く、基板側に形成してもよい。第5図(○)はフリップチップをボンディングすべき基板のリード線のボンディング部の外周部にモールド材の被膜を形成した図を示す。(b)はボンディング、モルディング状態を示す。(○)はモールド材6を基板上側から見た図である。モールド材6-1はチップの外周部のみ基板と密着する場合であり、モールド材6-2はチップ表面全体と基板と密着する場合である。

第5図のように、基板上にモールド材被膜を形成した場合は、チップ表面にモールド材被膜を形成した場合に比べて、モールド材の量が増しモールド効果が大きくなるという利点がある。

本発明は上述した如く、チップ表面の bumps より外周部あるいは bumps およびその外周部を除くチップ表面全体にモールド材被膜をつけるかあるいは基板上のチップボンディング時の bumps 接触部を除く表面上にモールド材被膜を形成し、ボン

(8)

本発明は、以上のような利点があり、半導体素子、特に半導体集積回路の実装方式に有益であるとともに実装工程の合理化が望めることを特徴とする半導体素子の実装に関するものである。

図面の簡単な説明

第1図および第2図はフリップチップあるいはベDESTAL構造を有する基板を用いた従来のボンディングおよびモルディング工程を示す説明図。

第3図～第5図は本発明によるところのフリップチップあるいはベDESTAL構造を有する基板を用いた場合の半導体チップのボンディング工程と同時にモルディングする実装方式を説明した概略図。

- 1 … 半導体チップ
- 2 … 半導体素子のボンディングパッド部（電極部）に形成された bumps
- 3, 8 … 基板上に形成されたリード線
- 4 … 基板
- 5 … ボンディング部

(10)

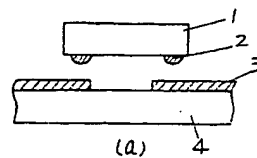
6 ... モールド材

7 ... 半導体素子のボンディングパッド部 (電極部)

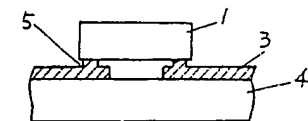
9 ... 基板リード線に形成されたペデスタル。

以上

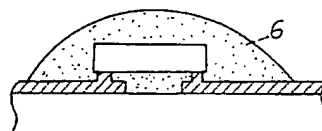
代理人 坂上 務



(a)

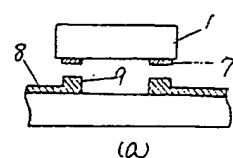


(b)

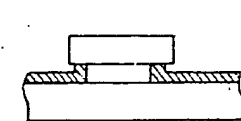


(c)

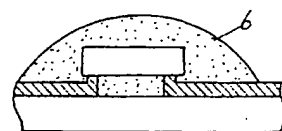
第1図



(a)

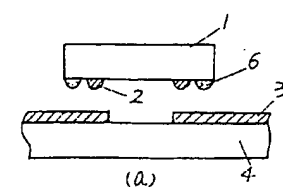


(b)

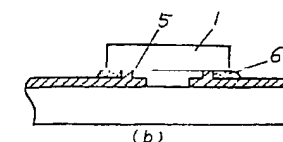


(c)

第2図

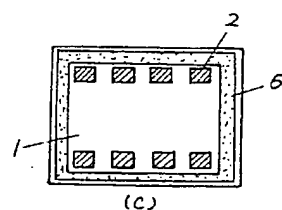


(a)

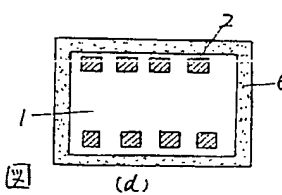


(b)

第3図

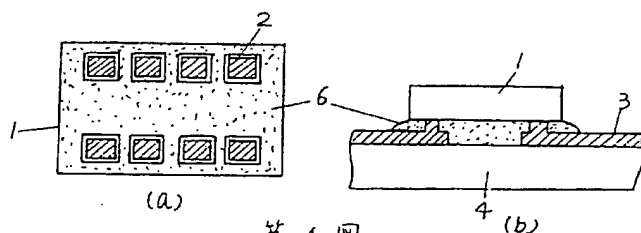


(c)



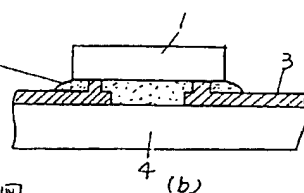
(d)

(1)

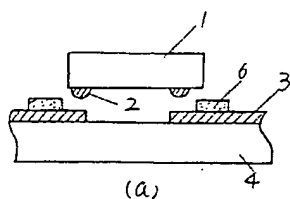


(a)

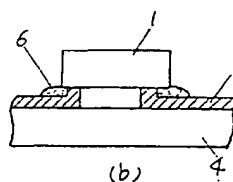
第4図



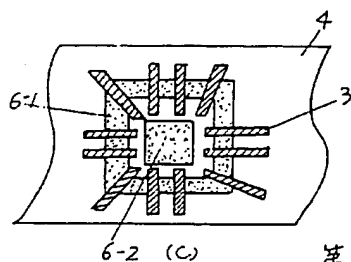
(b)



(a)



(b)



6-2 (c)

第5図